

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

This Page Blank (uspto)



PCT

特許協力条約に基づいて公開された国際出願

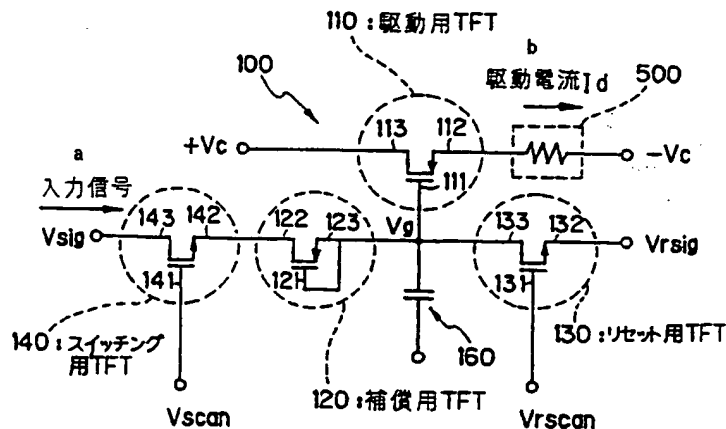
(51) 国際特許分類6 G09G 3/30, 3/36, H03K 17/30	A1	(11) 国際公開番号 WO99/48078 (43) 国際公開日 1999年9月23日(23.09.99)
(21) 国際出願番号 PCT/JP99/01342 (22) 国際出願日 1999年3月17日(17.03.99) (30) 優先権データ 特願平10/69147 1998年3月18日(18.03.98) JP (71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-0811 東京都新宿区西新宿二丁目4番1号 Tokyo, (JP) (72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 木村 睦(KIMURA, Mutsumi)[JP/JP] 松枝洋二郎(MATSUEDA, Yojiro)[JP/JP] 小澤徳郎(OZAWA, Tokuroh)[JP/JP] 〒392-8502 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP) マイケル クイン(MICHAEL, Quinn)[GB/GB] E14 8LS ロンドン ウェストフェリ ロード10 フランクリン ビルディング279 London, (GB)	(74) 代理人 弁理士 鈴木喜三郎, 外(SUZUKI, Kisaburo et al.) 〒392-8502 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社 知的財産部内 Nagano, (JP) (81) 指定国 CN, KR, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE) 添付公開書類 国際調査報告書	

(54) Title: TRANSISTOR CIRCUIT, DISPLAY PANEL AND ELECTRONIC APPARATUS

(54) 発明の名称 トランジスタ回路、表示パネル及び電子機器

(57) Abstract

A transistor circuit (100) comprising a driving transistor (110) the conductance of which between the source and drain is controlled in accordance with the input voltage, and a compensating transistor (120) the gate of which is connected to either the source or drain so that the input signal is supplied to the gate of the driving transistor through the source and drain. The transistor circuit is controllable by the input signal having a relatively low voltage, and the variation of the threshold characteristic of the driving transistor is compensated. A current-controlled element (500) is connected to the source or drain of the driving transistor (100). Hence a display panel for displaying an image whose unevenness of brightness is reduced is realized.



110 ... DRIVING TFT

120 ... COMPENSATING TFT

130 ... RESETTING TFT

140 ... SWITCHING TFT

a ... INPUT SIGNAL

b ... DRIVING CURRENT

入力電圧に応じてソース及びドレイン間のコンダクタンスが制御される駆動用トランジスタ（１１０）と、ゲートがソース及びドレインの一方に接続されており、該ソース及びドレインを介して入力信号が駆動用トランジスタのゲートに供給されるように接続された補償用トランジスタ（１２０）とを備えるトランジスタ回路（１００）。比較的低電圧の入力信号により制御可能であり、且つ駆動用トランジスタのしきい値特性のばらつきが補償される。このトランジスタ回路において、駆動用トランジスタ（１１０）のソース又はドレインに電流制御型素子（５００）が接続され、明るさむらが低減された画像表示がなされる表示パネルが実現される。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	SD	スーダン
AL	アルバニア	EE	エストニア	LC	セントルシア	SE	スウェーデン
AM	アルメニア	ES	スペイン	LI	リヒテンシュタイン	SG	シンガポール
AT	オーストリア	FI	フィンランド	LK	スリ・ランカ	SI	スロヴェニア
AU	オーストラリア	FR	フランス	LR	リベリア	SK	スロヴァキア
AZ	アゼルバイジャン	CA	ガボン	LS	レソト	SL	シエラ・レオネ
BA	ボスニア・ヘルツェゴビナ	GB	英国	LT	リトアニア	SN	セネガル
BB	バルバドス	GD	グレナダ	LU	ルクセンブルグ	SZ	スワジランド
BE	ベルギー	GE	グルジア	LV	ラトヴィア	TD	チャード
BF	ブルキナ・ファソ	GH	ガーナ	MC	モナコ	TG	トーゴ
BG	ブルガリア	GM	ガンビア	MD	モルドヴァ	TJ	タジキスタン
BJ	ベナン	GN	ギニア	MG	マダガスカル	TZ	タンザニア
BR	ブラジル	GW	ギニア・ビサウ	MK	マケドニア旧ユーゴスラヴィア共和国	TM	トルクメニスタン
BY	ベラルーシ	GR	ギリシャ	ML	マリ	TR	トルコ
CA	カナダ	HR	クロアチア	MN	モンゴル	TT	トリニダッド・トバゴ
CF	中央アフリカ	HU	ハンガリー	MR	モーリタニア	UA	ウクライナ
CG	コンゴ	ID	インドネシア	MW	マラウイ	UG	ウガンダ
CH	スイス	IE	アイルランド	MX	メキシコ	US	米国
CI	コートジボワール	IL	イスラエル	NE	ニジェール	UZ	ウズベキスタン
CM	カメルーン	IN	インド	NL	オランダ	VN	ヴェトナム
CN	中国	IS	アイスランド	NO	ノルウェー	YU	ユーゴスラビア
CR	コスタ・リカ	IT	イタリア	NZ	ニュージーランド	ZA	南アフリカ共和国
CU	キューバ	JP	日本	PL	ポーランド	ZW	ジンバブエ
CY	キプロス	KE	ケニア	PT	ポルトガル		
CZ	チェコ	KG	キルギスタン	RO	ルーマニア		
DE	ドイツ	KP	北朝鮮	RU	ロシア		
DK	デンマーク	KR	韓国				

明 細 書

トランジスタ回路、表示パネル及び電子機器

技術分野

本発明は、薄膜トランジスタ（以下TFTと称す）、電界効果型トランジスタ、バイポーラトランジスタなどのトランジスタを複数備えて構成されるトランジスタ回路の技術分野に属し、特にゲートに供給される電圧に応じてソース及びドレイン間のコンダクタンスを制御することにより、該ソース及びドレインを介して電流制御型（電流駆動型）素子等の被駆動素子に供給される駆動電流を制御する駆動用トランジスタを備えて構成されるトランジスタ回路の技術分野に属する。

背景技術

一般に、トランジスタには、半導体膜の膜質、膜厚、不純物濃度や拡散領域、ゲート絶縁膜等の膜質、膜厚、動作温度などの各種条件に応じて、その電圧電流特性やしきい値には大なり小なりばらつきが生じる。クリスタルシリコンを用いたバイポーラトランジスタの場合には、このようなしきい値のばらつきは比較的小さいが、TFTの場合には、このようなばらつきは大きいのが通常である。特に、液晶パネル、ELパネル等の表示パネルなどにおいてTFTアレイ基板上で広範囲に亘って多数形成されるTFTの場合には、このような電流電圧特性やしきい値のばらつきが非常に大きくなることが多い。例えば、この種のTFTのしきい値を2V（ボルト）程度（Nチャネルで+2V、Pチャネルで-2V）となるように製造しても、そのばらつきは±数V程度になったりする。

ここで、所謂TFT液晶パネル等の場合のように液晶等からなる画素部を電圧制御する電圧制御（電圧駆動）方式の場合には、各画素部に設けられた駆動用TFTにおける電圧電流特性やしきい値のばらつきが問題となることは比較的少ない。即ちこの場合には、たとえTFTの電流電圧特性やしきい値に多少のばらつきがあったとしても、十分なスイッチング時間さえ与えれば、外部からTFTを介して各画素部に供給する電圧の精度を高めることにより、各画素部における表

示濃度や明るさを精度良く制御できるからである。従って、各画素部での表示濃度や明るさのむらが重要視される表示用のTFT液晶パネル等においても、電流電圧特性やしきい値のばらつきが比較的大きいTFTを用いて、高品位の画像表示等を行える。

他方で近年、電流供給量に応じて明るさが変化するように自発光する有機EL等の電流制御型発光素子を画素部に備えた表示パネルが開発されており、バックライトや反射光を利用せずに画像表示が可能であり、消費電力が低く、しかも視野角依存性が少なく、また時には可曲性を実現する表示パネルとして注目されている。このELパネルの場合にも、アクティブマトリクス駆動を行うためには、各画素部において駆動用TFTが用いられる。例えば、駆動用TFTのドレインが正孔注入用電極を介してEL素子に接続され、ゲートに印加されるデータ信号の電圧に応じて、ソースに接続された電源配線からEL素子に供給される駆動電流を制御する（変化させる）ように構成されている。このように駆動用TFTを用いれば、入力信号の電圧変化に応じてソース及びドレイン間のコンダクタンスを制御することによりEL素子を通る駆動電流を制御して、各画素部での明るさ（輝度）を変化させることが可能となり、画像表示等を行うことが可能となる。

しかしながら、特に上述したELパネル等のように電流制御型素子の場合には、各画素部に設けられた駆動用TFTにおける電圧電流特性やしきい値のばらつきが問題となる。即ち、この場合には、外部から駆動用TFTに供給されるデータ信号の電圧精度を幾ら高めたとしても、駆動用TFTにおける電圧電流特性やしきい値のばらつきがデータ信号に対する駆動電流のばらつきとしてそのまま現われるため、駆動電流の精度が低下してしまう。この結果、各画素部における明るさも駆動用TFTのしきい値のばらつきに従ってばらついてしまうのである。そして、特に現在の低温ポリシリコンTFTの製造技術ではこのような電圧電流特性やしきい値のばらつきは、かなりの度合いで発生するため、この問題は実用上非常に大きい。

この問題に対して、電圧電流特性やしきい値のばらつきを低減するように各TFTを製造しようとするれば、歩留まりの低下を招き、特に表示パネルのように多数のTFTを用いて構成する装置においては極端な歩留まりの低下を招いてしま

い、低コスト化という一般的要請に反する。或いは、そのようなばらつきを低減するようなTFTを製造することは不可能に近い。また、各TFTにおける電流電圧特性やしきい値のばらつきを補償する回路を別途設けようとしても、やはり装置の複雑化や大型化更には消費電力の増加を招き、特に多数のTFTが高密度で配列された表示パネルにおいては、再び歩留まりの低下を招き、或いは近時の低消費電力化や装置の小型軽量化という要請に答えることが困難になることが予想される。

発明の開示

本発明は上述した問題点に鑑みなされたものであり、入力信号の電圧に応じて駆動用トランジスタにおけるコンダクタンス制御を行うトランジスタ回路であって、比較的低電圧の入力信号により当該コンダクタンス制御が可能であり、しかも駆動用トランジスタの電流電圧特性やしきい値特性のばらつきを、比較的少ない数のトランジスタを用いて比較的小さな電力消費により補償することが可能なトランジスタ回路、並びにこれを用いた表示パネル及び電子機器を提供することを課題とする。

本発明によれば、下記の第1乃至第10のトランジスタ回路が提供される。

まず、本発明の第1のトランジスタ回路は、第1ゲート、第1ソース及び第1ドレインを有し、該第1ゲートに供給される入力信号の電圧に応じて該第1ソース及び第1ドレイン間のコンダクタンスが制御される駆動用トランジスタと、第2ゲート、第2ソース及び第2ドレインを有し、該第2ゲートが該第2ソース及び第2ドレインの一方に接続されており、該第2ソース及び第2ドレインを介して前記入力信号が前記第1ゲートに供給されるように且つ前記第1ゲートに対し前記コンダクタンスを低める方向の電荷移動を可能とする向きで前記第1ゲートに接続された補償用トランジスタとを備えたことを特徴とする。

上記のトランジスタ回路によれば、補償用トランジスタの第2ソース及び第2ドレインの一方が駆動用トランジスタの第1ゲートに接続されており、これらの第2ソース及び第2ドレインを介して、駆動用トランジスタの第1ゲートには入力信号が供給される。そして、駆動用トランジスタにおいて、この第1ゲートに

供給される入力信号の電圧に応じて、第1ソース及び第1ドレイン間のコンダクタンスが制御される。ここで、補償用トランジスタは、第2ゲートが第2ドレイン又は第2ソースに接続されており、第1ゲートに対し第1ソース及び第1ドレイン間のコンダクタンスを低める方向の電荷移動を可能とする向きで第1ゲートに接続されている。即ち、補償用トランジスタは、ダイオード特性を有しており、例えば、駆動用トランジスタがNチャネル型であれば、その第1ゲートから入力信号源への向きにのみ通電可能である。或いは、駆動用トランジスタがPチャネル型であれば、入力信号源から第1ゲートへの向きに通電可能である。

このため、当該トランジスタ回路に入力信号を供給した際には、補償用トランジスタに入力される時点における入力信号の電圧と比較して、第1ゲートのゲート電圧は、補償用トランジスタのしきい値の分だけ駆動用トランジスタのコンダクタンスが高められる側に昇圧されることになる。従って、駆動用トランジスタにおいて所望のコンダクタンスを得るためには、当該コンダクタンスに対応するゲート電圧よりも補償用トランジスタのしきい値（電圧）の分だけ低い電圧の入力信号を補償用トランジスタを介して供給すればよいことになる。このように、補償用トランジスタのしきい値（電圧）の分だけ入力信号に対するゲート電圧を昇圧できるので、補償用トランジスタがない場合と比較して、より低い入力信号の電圧により同等のコンダクタンス制御を行うことが可能となる。

一般に、この入力信号は他の信号に比較して高周波数であることが多く、より低い入力信号でよいとなれば、かなりの低消費電力化が期待できる。

更に、このように補償用トランジスタにより入力信号の電圧を昇圧して第1ゲートにおけるゲート電圧とすることは、トランジスタ回路全体として見た場合、駆動用トランジスタにおいてコンダクタンス制御されるソース及びドレインを介して流れる駆動電流に対する入力信号のしきい値は、駆動用トランジスタのしきい値電圧から、入力電圧からゲート電圧への昇圧分である補償用トランジスタのしきい値電圧だけ低くなっている。即ち、駆動電流に対する入力電圧のしきい値中では、補償用トランジスタのしきい値と駆動用トランジスタのしきい値とは、相殺された形となっている。従って、両者のしきい値特性や電圧電流特性を近付けることにより、駆動電流に対する入力信号のしきい値を零に近付けることが可

能となる。

更にまた、このように駆動用トランジスタのしきい値と補償用トランジスタのしきい値とを当該トランジスタ回路全体の中で相殺させることにより、駆動用トランジスタのしきい値の大小によらずにトランジスタ回路全体としての入力信号のしきい値を一定の値（ゼロ）に近付けることができる。即ち、複数のしきい値の相異なる駆動用トランジスタを用いて当該トランジスタ回路を複数作成した場合に、各トランジスタ回路部分における駆動用トランジスタと補償用トランジスタのしきい値を夫々相互に近付ければ（理想的には両者を一致させれば）、各トランジスタ回路間におけるしきい値の差は、各駆動用トランジスタのしきい値の差よりも小さくなっている（理想的には差が殆どなくなっている）。従って、当該トランジスタ回路を複数作成する際に、複数のしきい値の異なる複数の駆動用トランジスタを用いたとしても、しきい値のばらつきが殆ど又は全くない複数のトランジスタ回路を得ることが可能となる。

本発明の第2のトランジスタ回路は、上述した第1のトランジスタ回路において、前記第1ゲートに対し前記入力信号に応じて制御される前記コンダクタンスの最高値よりも高いコンダクタンスの値に対応する電圧を有するリセット信号を前記入力信号の供給前に供給するリセット手段を備えたことを特徴とする。

上記第2のトランジスタ回路によれば、駆動用トランジスタの第1ゲートに入力信号が供給される以前に（或いは、一の入力信号が供給された後に、次の入力信号が供給される以前に）、リセット手段によりこの第1ゲートに、入力信号に応じて制御される駆動用トランジスタのコンダクタンスの最高値よりも高いコンダクタンスの値に対応する電圧を有するリセット信号が供給される。この結果、入力信号の電圧値の大小によらずに駆動用トランジスタのゲート電圧をリセット手段により一定値とすることができ、しかも、リセット後に、コンダクタンスを低める方向の電荷移動を可能とする向きで第1ゲートに接続された補償用トランジスタを介して入力信号を第1ゲートに供給することが可能となる。

本発明の第3のトランジスタ回路は、上述した第2のトランジスタ回路において、前記リセット信号が、前記入力信号の最大電圧よりも前記補償用トランジスタのしきい値電圧分以上大きい電圧に設定されていることを特徴とする。

上記第3のトランジスタ回路によれば、リセット手段により駆動用トランジスタの第1ゲートに、入力信号よりも大きい電圧のリセット信号が供給される。しかも、このリセット信号の電圧は、入力信号の最大電圧よりも補償用トランジスタのしきい値電圧分以上大きく設定されているので、リセット後に入力信号が入力されると、入力信号の電圧の大小や駆動用トランジスタのしきい値の大小によらずに常に、その入力信号の電圧よりも駆動用トランジスタのしきい値電圧分だけ高い電圧を、補償用トランジスタを介して駆動用トランジスタの第1ゲートに供給することが出来る。

本発明の第4のトランジスタ回路は、上述した第2又は第3のトランジスタ回路において、前記リセット手段は、第3ゲート、第3ソース及び第3ドレインを有し、該第3ソース及び第3ドレインの一方が前記第1ゲートに接続されており、該第3ゲートにリセットタイミング信号が前記入力信号の供給前に供給された時に、該第3ソース及び第3ドレインを介して前記リセット信号を前記第1ゲートに供給するリセット用トランジスタを備えたことを特徴とする。

上記第4のトランジスタ回路によれば、リセット用トランジスタの第3ゲートにリセットタイミング信号が供給されると、該リセット用トランジスタにより、その第3ソース及び第3ドレインを介して、リセット信号が駆動用トランジスタの第1ゲートに供給される。この結果、駆動用トランジスタのゲート電圧をリセットタイミング信号の供給タイミングで一定値にリセットすることができる。従って、第2又は第3のトランジスタ回路に対して説明した動作が可能となる。

本発明の第5のトランジスタ回路は、上述した第1乃至第4のいずれかのトランジスタ回路において、前記駆動用トランジスタと前記補償用トランジスタとは、同一導電型のトランジスタであることを特徴とする。

上記第5のトランジスタ回路では、駆動用トランジスタと補償用トランジスタとは、同一導電型のトランジスタであるが、ここで「同一導電型」とは、トランジスタの導電の型が同一であり、例えば駆動用トランジスタがNチャネル型であれば、補償用トランジスタもNチャネル型であり、駆動用トランジスタがPチャネル型であれば、補償用トランジスタもPチャネル型であるといった場合である。従って、補償用トランジスタのしきい値と駆動用トランジスタのしきい値とは相

互にほぼ等しくなるため、当該トランジスタ回路内において、これ等のしきい値は相殺しあい、この結果、駆動電流に対する入力信号のしきい値をほぼ零としてコンダクタンス制御を行うことも可能となる。更に、複数のトランジスタ回路を、しきい値のばらついた複数の駆動用トランジスタを用いて形成した場合にも、しきい値のばらつきを補償することも可能となる。

また、トランジスタのチャネル幅、チャネル長を始めとする設計値、デバイス構造、プロセス条件等も、駆動用トランジスタと補償用トランジスタとで等しくすることにより、より完全な補償が可能となる。

本発明の第6のトランジスタ回路は、上述した第1乃至第5のいずれかのトランジスタ回路において、第4ゲート、第4ソース及び第4ドレインを有し、該第4ゲートにスイッチングタイミング信号が供給された時に前記入力信号を該第4ソース及び第4ドレインを介して前記補償用トランジスタに供給するように接続されたスイッチング用トランジスタを更に備えたことを特徴とする。

上記第6のトランジスタ回路によれば、スイッチングタイミング信号がスイッチング用トランジスタの第4ゲートに供給されると、入力信号が、該スイッチング用トランジスタの第4ソース及び第4ドレインを介して補償用トランジスタに供給される。この結果、スイッチングタイミング信号の供給タイミングで入力信号を駆動用トランジスタに供給することができる。

本発明の第7のトランジスタ回路によれば、上述した第1乃至第6のいずれかのトランジスタ回路において、前記第1ゲートに接続された保持容量を更に備えたことを特徴とする。

上記第7のトランジスタ回路によれば、第1ゲートに入力信号が供給されるとその電圧は、該1ゲートに接続された保持容量により保持される。従って、入力信号を一定期間だけ供給した場合にも、それよりも長い期間に亘って第1ゲートにかかる電圧を保持することが可能となる。

また、補償用トランジスタを通じて、スイッチング用トランジスタにリーク電流がある場合でも、第1ゲートに印加される電位の変化を低減することが可能となる。

本発明の第8のトランジスタ回路は、上述した第1乃至第7のいずれかのトラ

ンジスタ回路において、当該トランジスタ回路が、同一基板上に形成された薄膜トランジスタから構成されていることを特徴とする。

上記第8のトランジスタ回路によれば、同一基板上に形成された駆動用薄膜トランジスタにおける電流電圧特性やしきい値特性が駆動電流に及ぼす影響を補償用薄膜トランジスタにより補償することが出来る。特に、両薄膜トランジスタを同一基板上に同一薄膜形成工程で形成すれば、両トランジスタ間の特性はより類似するため、電流電圧特性やしきい値特性のばらつきが少ない複数のトランジスタ回路を同一基板上で得ることが可能となる。

本発明の第9のトランジスタ回路は、上述した第1乃至第7のいずれかのトランジスタ回路において、前記トランジスタは夫々、前記ゲート、ソース及びドレインが、ベース、コレクタ及びエミッタに夫々対応するバイポーラトランジスタから構成されている。

上記第9のトランジスタ回路によれば、駆動用バイポーラトランジスタにおける電流電圧特性やしきい値特性が駆動電流に及ぼす影響を補償用バイポーラトランジスタにより補償することが出来る。特に、両バイポーラトランジスタを同一製造工程で製造すれば、両トランジスタ間の特性類似の度合いは一般に増すため、電流電圧特性やしきい値特性のばらつきが少ない複数のトランジスタ回路を得ることが可能となる。

本発明の第10のトランジスタ回路は、上述した第1乃至第9のいずれかのトランジスタ回路において、前記入力信号は、入力信号源により電圧が制御される電圧信号であり、前記駆動用トランジスタは、前記第1ソース及び第1ドレインの一方が電流制御型素子に接続されており、前記コンダクタンスを制御することにより該電流制御型素子に流れる電流を制御することを特徴とする。

上記第10のトランジスタ回路によれば、入力信号源により電圧が制御される電圧信号が、入力信号として補償用トランジスタを介して供給されると、駆動用トランジスタにおいて、この電圧信号の電圧変化に応じて第1ソース及び第1ドレイン間のコンダクタンスが制御される。これにより、第1ソース及び第1ドレインの一方に接続された電流制御型素子は、電流制御される。従って、電流制御型素子を比較的低電圧の入力信号で電流駆動することが可能となり、しかも、複

数の駆動用トランジスタ間における電流電圧特性やしきい値特性のばらつきによらずに、複数の電流駆動型素子を電圧信号の電圧に応じて精度良く電流制御することも可能となる。

本発明によれば、上述した第10のトランジスタ回路を夫々含むと共にマトリクス状に配置された複数の画素部を備え、前記電流制御型素子が該複数の画素部に夫々設けられたことを特徴とする表示パネルが提供される。

かかる表示パネルによれば、各画素部において、入力信号が補償用トランジスタを介して供給されると、駆動用トランジスタによりこの入力信号の電圧に応じて電流制御型発光素子は電流制御されるので、駆動用トランジスタ間における電流電圧特性やしきい値特性のばらつきによらずに、電流制御型発光素子の明るさ（輝度）を精度良く制御することが出来、表示パネルの画面表示領域の全面に亘って明るさのむらを低減できる。更に、駆動用トランジスタのゲート電圧を補償用トランジスタにより昇圧することにより比較的低電圧の入力信号により電流制御型発光素子の制御を行うことも可能となる。

本発明によれば、上述した表示パネルを備えた電子機器が提供される。

かかる電子機器によれば、上述した表示パネルを備えるので、表示パネルの全面に亘って明るさのむらが少なく且つ比較的低電圧で駆動することも可能な電子機器を実現できる。

図面の簡単な説明

第1図は、本発明のトランジスタ回路の一実施の形態における回路図である。

第2図は、トランジスタ回路における各種信号のタイミングチャート（第2図（A））、及び第1図のトランジスタ回路における各種信号のタイミングチャート（第2図（B））である。

第3図は、駆動用TFTを備えた比較例におけるしきい値特性を示す特性図（第3図（A））、及び補償用TFTと駆動用TFTとを備えた本実施の形態におけるしきい値特性を示す特性図（第3図（B））である。

第4図は、しきい値のばらつき ΔV_{th} に対する駆動電流 I_d の変化を各種の場合について示す特性図である。

第5図は、本実施の形態においてリセット信号 V_{rsig} を5Vにした場合の補償用TFTによる降圧作用を示すタイミングチャート（第5図（A））、及びリセット信号 V_{rsig} を0Vにした場合の補償用TFTによる降圧作用を示すタイミングチャート（第5図（B））である。

第6図は、トランジスタ回路の他の実施の形態における回路図である。

第7図は、表示パネルの実施の形態の全体構成を示す平面図である。

第8図は、第7図の表示パネルの画素部の平面図である。

第9図は、第8図のA-A'断面図（第9図（A））、B-B'断面図（第9図（B））及びC-C'断面図（第9図（c））である。

第10図は、第7図の表示パネルにおける相隣接する4つの画素部の回路図である。

第11図は、本発明による電子機器の実施の形態の概略構成を示すブロック図である。

第12図は、電子機器の一例としてのパーソナルコンピュータを示す模式図である。

第13図は、電子機器の他の例としてのTCPを用いた液晶装置を示す斜視図である。

発明を実施するための最良の形態

本発明の作用及び他の利得は次に説明する実施の形態から明らかにされよう。

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

（トランジスタ回路）

先ず、本発明のトランジスタ回路の実施の形態について第1図及び第2図を参照して説明する。第1図は、本実施の形態におけるトランジスタ回路の回路図であり、第2図（A）及び（B）は夫々、該トランジスタ回路における各種信号のタイミング及び電圧を示したタイミングチャートである。

第1図において、トランジスタ回路100は、駆動用TFT110（Pチャネル型）、補償用TFT120（Pチャネル型）、リセット用TFT130（Nチャネル型）及びスイッチング用TFT140（Nチャネル型）を備えて構成され

ている。以下各トランジスタの構成について順に説明する。

まず、駆動用トランジスタの一例を構成する駆動用TFT110は、スイッチング用TFT140及び補償用TFT120を介して供給される入力信号に基づいてゲート111に印加されるゲート電圧 V_g に応じて、ソース112及びドレイン113間のコンダクタンスが制御されるように構成されている。

補償用トランジスタの一例を構成する補償用TFT120は、ゲート121がソース122及びドレイン123の一方（第1図では、ドレイン123）に接続されている。即ち、補償用TFT120は所謂ダイオード接続されている。そして、補償用トランジスタ120は、ソース122及びドレイン123を介して、入力信号がゲート111に供給されるように且つゲート111に対しコンダクタンスを低める方向の電荷移動を可能とする向きで（第1図では、ドレイン123の側が）ゲート111に接続されている。

リセット手段の一例を構成するリセット用TFT130は、ソース132及びドレイン133の一方（第1図では、ドレイン133）がゲート111に接続されており、ゲート131にリセットタイミング信号の一例としての電圧 V_{rscan} のリセット走査信号（以下、リセット走査信号 V_{rscan} と称す）が入力信号 V_{sig} の供給前に供給された時に、ソース132及びドレイン133を介して電圧 V_{rsig} のリセット信号（以下、リセット信号 V_{rsig} と称す）をゲート111に供給するように構成されている。

また、スイッチングトランジスタの一例を構成するスイッチング用TFT140は、ゲート141にスイッチングタイミング信号の一例としての電圧 V_{scan} の走査信号（以下、走査信号 V_{scan} と称す）が供給された時に、電圧 V_{sig} の入力信号（以下、入力信号 V_{sig} と称す）をソース142及びドレイン143を介して補償用TFT120に供給するように入力信号源及び補償用TFT120の間に接続されている。

そして、駆動用トランジスタ110のソース112には、EL素子等の電流制御型（電流駆動型）素子500の一端が接続されており、この電流制御型素子500の他端には、所定電位の負電源 $-V_c$ が接続されている。また、駆動用トランジスタ110のドレイン113には、所定電位の正電源 $+V_c$ が接続されてい

る。従って、駆動用トランジスタ 110 においてソース 112 及びドレイン 113 間のコンダクタンス制御が行われると、電流制御型素子 500 を流れる駆動電流 I_d が制御される（即ち、コンダクタンス変化に応じて駆動電流 I_d が変化する）。

更に、駆動用トランジスタ 110 のゲート 111 には、保持容量 160 が接続されている。このため、一旦印加されたゲート電圧 V_g は、保持容量 160 により保持される。

次に、以上のように構成されたトランジスタ回路 100 の動作について第 1 図と共に第 2 図及び第 3 図を参照して説明する。

第 2 図 (A) に示すように（同図は駆動用 T F T 110 及び補償用 T F T 120 として共に P チャネル型 T F T を用いた場合を示す）、リセット走査信号 V_{rscan} がリセット用 T F T 130 に入力されると、リセット用 T F T 130 が導通状態とされて、駆動用 T F T 110 のゲート 111 には、リセット信号 V_{rsig} が供給されて、ゲート 111 のゲート電圧 V_g は、このリセット信号 V_{rsig} の電圧 V_{rsig} にほぼ等しいレベルとされる。この結果、入力信号 V_{sig} の電圧 V_{sig} の大小によらずに駆動用 T F T 110 のゲート電圧 V_g をリセット走査信号 V_{rsig} の供給タイミングで一定電圧（即ち、電圧 V_{rsig} ）にリセットすることができる。

そして、このリセット期間が終わり、走査信号 V_{scan} がスイッチング用 T F T 140 に供給されると、スイッチング用 T F T 140 が導通状態とされて、駆動用 T F T 110 のゲート 111 には、補償用 T F T 120 を介してデータ信号 V_{sig} が供給される。ここで、本実施の形態では特に補償用 T F T 120 においてゲート 121 がドレイン 123 に接続されているため（即ち、ダイオード接続されているため）、負電圧をゲート 111 に印加することで道通状態とされる P チャネル型 T F T である駆動用 T F T 110 におけるゲート電圧 V_g は、データ信号 V_{sig} の電圧 V_{sig} よりも補償用 T F T 120 のしきい値電圧 V_{th2} だけ負電圧側に降圧される。そして、このように降圧されたゲート電圧 V_g は、走査信号 V_{scan} や入力信号 V_{sig} の供給停止後も、保持容量 160 により駆動期間中保持される。

尚、リセット期間としては、ゲート電圧 V_g がリセット信号 V_{rsig} の電圧

V_{rsig} となる時間だけとれば十分である。このため、駆動期間をリセット期間よりも遥かに長く設定することができ、これにより、リセット期間中に駆動用 T F T 1 1 0 がリセット信号 V_{rsig} により導通状態とされても、この間に駆動用 T F T 1 1 0 のソース 1 1 2 及びドレイン 1 1 3 を介して流れる電流の駆動電流 I_d に対する影響を、無視できる程度に小さくできる。

以上のように本実施の形態によれば、補償用 T F T 1 2 0 のしきい値電圧 V_{th2} の分だけ入力信号 V_{sig} に対するゲート電圧 V_g を降圧できるので、補償用 T F T 1 2 0 がない場合と比較して、より低い入力信号 V_{sig} の電圧 V_{sig} を用いて同等のコンダクタンス制御を駆動用 T F T 1 1 0 において行うことが可能となる。

尚、第 2 図 (B) は、駆動用 T F T 1 1 0 及び補償用 T F T 1 2 0 として共に N チャンネル型 T F T を用いた場合のタイミングチャートであり、この場合には、正電圧をゲート 1 1 1 に印加することで導通状態とされる N チャンネル型 T F T である駆動用 T F T 1 1 0 におけるゲート電圧 V_g は、リセット時にリセット信号 V_{rsig} の電圧 V_{rsig} とされた後、入力信号 V_{sig} の電圧 V_{sig} よりも補償用 T F T 1 2 0 のしきい値電圧 V_{th2} だけ正電圧側に昇圧される。

ここで、補償用 T F T 1 2 0 を介することなく駆動用 T F T 1 1 0 に入力信号 V_{sig} を直接入力したとすると、即ち入力信号 V_{sig} の電圧 V_{sig} とゲート電圧 V_g とが一致する場合には、第 3 図 (A) (これは駆動用 T F T 1 1 0 が N チャンネル型 T F T の場合である) に示すように、駆動電流 I_d は、駆動用 T F T 1 1 0 のしきい値電圧 V_{th1} から立ち上がる特性を持つ。例えば、このしきい値電圧 V_{th1} の設計基準値を 2 V とすればしきい値のばらつきは ± 数 V 程度となる。そして、駆動用 T F T 1 1 0 におけるしきい値電圧 V_{th1} のばらつきがそのまま駆動電流 I_d のばらつきとして現われる。

これに対し、本実施の形態では、補償用 T F T 1 2 0 を介して駆動用 T F T 1 1 0 に入力信号 V_{sig} を入力するため、即ち入力信号 V_{sig} の電圧 V_{sig} を補償用 T F T 1 2 0 のしきい値電圧 V_{th2} の分だけ昇圧してゲート電圧 V_g とする場合には、第 3 図 (B) (これは駆動用 T F T 1 1 0 及び補償用 T F T 1 2 0 が共に N チャンネル型 T F T の場合である) に示すように、補償用 T F T 1 2 0 のしきい

値電圧 V_{th2} と駆動用 T F T 1 1 0 のしきい値電圧 V_{th1} とが相殺されて、トランジスタ回路 1 0 0 全体に対する入力信号 V_{sig} のしきい値電圧 V_{th} は零に近付くのである。そして、特に両しきい値電圧 V_{th1} と V_{th2} とがほぼ一致する場合には、このしきい値電圧 V_{th} は、ほぼ零となる。このように、しきい値電圧 V_{th1} と V_{th2} とを一致させることは、例えば同一半導体基板上の近接位置に駆動用 T F T 1 1 0 と補償用 T F T 1 2 0 とを同じ導電型 T F T から構成することにより比較的簡単にできる。

このように構成すれば、両方の T F T における、薄膜形成されるゲート絶縁膜、半導体膜等の膜厚や、チャネル長等の各構成要素の平面形状や、チャネル形成領域、ソース領域、ドレイン領域における不純物濃度や、動作時の温度状態などを容易に一致させることができるので、結局、両方の T F T のしきい値電圧 V_{th1} と V_{th2} とを完全に又はほぼ完全に一致させることが出来るのである。尚、しきい値特性を近似させる上では、チャネル長さは同じにする方が良いが、チャネル幅は同じでなくても良い。

このように本実施の形態によれば、駆動用 T F T 1 1 0 と補償用 T F T 1 2 0 のしきい値特性や電圧電流特性を近付けることにより（理想的には一致させることにより）、駆動電流 I_d に対する入力信号 V_{sig} のしきい値電圧 V_{th} を零に近付ける（理想的には零に一致させる）ことが可能となる。

更に、第 3 図 (A) 及び第 3 図 (B) から判るように、複数のトランジスタ回路 1 0 0 を製造する場合に、各駆動用 T F T 1 1 0 におけるしきい値電圧 V_{th1} が相互にばらついたとしても、このしきい値電圧 V_{th1} の大小によらずに、各補償用 T F T 1 2 0 の作用により各トランジスタ回路 1 0 0 のしきい値電圧 V_{th} は、零に近い値とされる。即ち、しきい値電圧 V_{th} が一定の多数のトランジスタ回路 1 0 0 を製造できることになる。これは、後述のように多数のトランジスタ回路 1 0 0 間におけるしきい値電圧 V_{th} のばらつきが問題となるような表示パネル用等の用途には特に役立つ。そして、各トランジスタ回路 1 0 0 において、相互に近接配置される一対の駆動用 T F T 1 1 0 のしきい値電圧 V_{th1} と補償用 T F T 1 2 0 のしきい値電圧 V_{th2} とを一致させることは、距離を隔てて別個に配置される二つの駆動用 T F T 1 1 0 のしきい値電圧 V_{th1} を一致させることよりも前

述のように遥かに容易であるため、このように補償用TFT120により各トランジスタ回路100におけるしきい値電圧 V_{th1} を補償する構成は、複数のトランジスタ回路100相互間のしきい値電圧 V_{th} のばらつきを低減させるためには極めて効果的であると言える。

以上のように本実施の形態によれば、トランジスタ回路100を複数作成する際に、しきい値電圧 V_{th1} の相異なる複数の駆動用TFT110、即ち設計基準値としてのしきい値電圧（例えば、2.5V）から大きくばらついたしきい値電圧 V_{th1} を夫々持つ複数の駆動用TFT110を用いたとしても、しきい値電圧 V_{th} のばらつきが殆ど又は全くない複数のトランジスタ回路100を得ることが可能となる。このため、電流電圧特性についてTFTに要求される条件が緩くなり、歩留まりの向上及び製造コストの低減を図ることができる。

尚、第3図(A)及び第3図(B)から判るように、しきい値電圧 V_{th1} 及び V_{th2} を一致させることにより、各駆動用TFT110におけるコンダクタンス制御を入力信号 V_{sig} の電圧 V_{sig} よりも高いゲート電圧 V_g を用いて行えるという第1の効果、及び複数のトランジスタ回路100間におけるしきい値電圧 V_{th} のばらつきを低減するという第2の効果は顕著に発現するが、各トランジスタ回路100において駆動用TFT110のしきい値電圧 V_{th1} と補償用TFT120のしきい値電圧 V_{th2} とを完全に一致させなくとも、両しきい値電圧は相殺しあう性質をもつので、両しきい値電圧の類似性に応じた程度でこれらの第1及び第2の効果が得られる。

本実施の形態では、特にゲート111に対し入力信号 V_{sig} に応じて制御されるコンダクタンスの最高値よりも高いコンダクタンスの値に対応する電圧を有するリセット信号 V_{rsig} を供給するように構成されている。従って、入力信号 V_{sig} の電圧値 V_{sig} の大小によらずにリセット後に、このコンダクタンスを低める方向の電荷移動を可能とする向きでゲート111に接続された補償用TFT120を介して入力信号 V_{sig} をゲート111に供給することが可能となる。しかも本実施の形態では、リセット信号 V_{rsig} は、入力信号 V_{sig} の最大電圧よりも補償用TFT120のしきい値電圧 V_{th2} 分以上大きい電圧に設定されている。従って、リセット後に入力信号 V_{sig} が入力されると、入力信号 V_{sig} の電圧 V_{sig}

の大小や補償用TFT120のしきい値電圧 V_{th2} の大小によらずに常に、その入力信号 V_{sig} の電圧 V_{sig} よりも補償用TFT120のしきい値電圧 V_{th2} 分だけ高い電圧を、ゲート111に供給することが出来るのである。

尚、従来の液晶表示素子で良く用いられている、入力信号 V_{sig} の反転が行われる場合には、反転した入力信号も含めた全ての入力信号 V_{sig} に対しても、上記のリセット信号 V_{rsig} の関係が成り立つことが望ましい。

このリセット信号 V_{rsig} の電圧設定による効果について第4図及び第5図を参照して検討を加える。ここで、第4図は、しきい値の設計基準値を例えば $-2.5V$ としてその基準値からのしきい値電圧のばらつき ΔV_{th} に対する駆動電流 I_d の変化を、(1)補償用TFT120無しで駆動用TFT110に直接入力信号 V_{sig} を供給した場合(特性曲線C1)、(2)リセット信号 V_{rsig} を $5V$ として補償用TFT120を介して駆動用TFT110に入力信号 V_{sig} を供給した場合(特性曲線C2)、及び(3)リセット信号 V_{rsig} を $0V$ として補償用TFT120を介して駆動用TFT110に入力信号 V_{sig} を供給した場合(特性曲線C3)について夫々示したものである。また、第5図(A)は、特性曲線C2に対するゲート電圧 V_g の変動範囲を示し、第5図(B)は、特性曲線C3に対応するゲート電圧 V_g の変動範囲を示す。なお、ここで、 $V_{sig}=7.5V$ 、 $+V_c=10V$ 、 $-V_c=5V$ としている。

第4図において、特性曲線C1で示したように、補償用TFT120無しの場合には、しきい値電圧のばらつき ΔV_{th} が、そのまま駆動電流 I_d のばらつきとして顕著に現われている。

特性曲線C2で示したように、リセット信号 V_{rsig} を $5V$ として補償用TFTを用いた場合には、しきい値電圧のばらつき ΔV_{th} が、プラス側ではかなり補償されているが、マイナス側では、駆動電流 I_d のばらつきとして現われている。これは、第5図(A)に示すようにマイナス側では、リセット後に入力信号 V_{sig} が入力されたとき、ゲート電圧 V_g を、入力信号 V_{sig} よりも、しきい値電圧 V_{th2} の分だけ負電圧側に降圧する(補償する)ことができないためである。何故なら、ダイオードである補償用TFT120は、ゲート電圧 V_g をリセット信号 V_{rsig} から入力信号 V_{sig} へ近付けることは出来ても遠ざけることは出来ない

からである。

また、特性曲線C3で示したように、リセット信号 V_{rsig} を0Vとして補償用TFTを用いた場合には、しきい値電圧のばらつき ΔV_{th} が、駆動電流 I_d のばらつきとして殆ど現われていない。これは、第5図(B)に示すように、リセット後に入力信号 V_{sig} が入力されたとき、ゲート電圧 V_g を、入力信号 V_{sig} よりも、しきい値電圧 V_{th} の分だけ負電圧側に降圧する(補償する)ことができるためである。なお、ここで与えた $V_{sig}=7.5V$ は、入力信号 V_{sig} の最小電位だと考えれば、全ての V_{sig} に対して補償できるかということに対して、上記考察が成り立つ。

以上のように本実施の形態では、入力電圧 V_{sig} の大小や補償用TFT110のしきい値電圧 V_{th2} の大小によらずに常に、その入力信号 V_{sig} の電圧よりも補償用TFT120のしきい値電圧 V_{th2} 分だけ低い電圧 V_g を、駆動用TFT110のゲート111に印加することが出来るのである。

尚、第2図(A)及び第2図(B)において、ゲート電圧 V_g は駆動期間中、保持容量160により保持される。このため、保持容量160により、複数のトランジスタ回路100間におけるゲート電圧 V_g の保持特性のばらつきをも低減(補償)することができる。

以上、第1図から第5図を参照して説明したように、本実施の形態のトランジスタ回路100によれば、EL素子等の電流制御型素子500を比較的低電圧の入力信号 V_{sig} で電流駆動することが可能となり、しかも、複数の駆動用TFT110間における電流電圧特性やしきい値特性のばらつきによらずに、複数の電流制御型素子500を入力信号 V_{sig} の電圧に応じて精度良く電流制御することができる。

尚、第1図に示した例では、Pチャネル型TFTとNチャネル型TFTとの両方を用いているが、全てのTFTをNチャネル型TFTから構成してもよいし、或いは、全てのTFTをPチャネル型TFTから構成してもよい。但し、駆動用TFT110の電流電圧特性やしきい値特性を補償用TFT120で補償する観点からは、これらの駆動用TFT110及び補償用TFT120を同一工程により同一導電型のTFTとして構成した方が有利である。特に、両TFTを同一薄

膜形成工程で形成すれば、両TFT間の特性類似の度合いは一般に増すため、電流電圧特性やしきい値特性のばらつきが全く又は殆どないトランジスタ回路100を同

一基板上で得ることが可能となる。他方、リセット用TFT130やスイッチング用TFT140は、駆動用TFT110がPチャネル型であるかNチャネル型であるかによらず、Pチャネル型でもNチャネル型でも構わない。但し、全てのTFTを同じ導電型のTFTとした方が製造上有利であることも多い。

また、本実施の形態における各種のTFT110～140を、接合型、並列・直列接続等のいずれの種類の電界効果トランジスタ(FET)から構成してもよい。

更に、第6図に示すように、上述の如きトランジスタ回路をバイポーラトランジスタから構成してもよい。この場合、上述のゲート、ソース及びドレインをベース、エミッタ及びコレクタに夫々対応させて、バイポーラトランジスタから駆動用トランジスタ110'を構成すると共にバイポーラトランジスタから補償用トランジスタ120'を構成して、トランジスタ回路100'とすればよい。一般にバイポーラトランジスタの場合には、しきい値電圧は、例えば0.7Vを中心として、そのばらつきはTFTと比較すると小さいが、このように構成しても、駆動用トランジスタ110'における電流電圧特性やしきい値特性のばらつきが駆動電流 I_d に及ぼす影響を補償用トランジスタ120'により補償することが出来る。更に、比較的低電圧で駆動用トランジスタ110'による駆動を行うことが出来る。特に、駆動用トランジスタ110'と補償用トランジスタ120'とを同一製造工程で製造すれば、これら両トランジスタ間の特性類似の度合いは一般に増すため、電流電圧特性やしきい値特性のばらつきが殆ど無い又は低減された多数のトランジスタ回路100'を得ることが可能となる。

以上の実施の形態における電流制御型素子500としては、有機EL素子、無機EL素子等の電流制御型発光素子、電流制御型の熱転写素子など各種の素子が挙げられる。

(表示パネル)

本発明の表示パネルの実施の形態について第7図から第10図を参照して説明

する。第7図は、表示パネルの全体構成を示すブロック図であり、第8図は、表示パネルにおける一つの画素部の平面図であり、第9図(A)、第9図(B)及び第9図(C)は夫々、そのA-A'断面図、B-B'断面図及びC-C'断面図であり、第10図は、相隣接する4つの画素部の回路図である。

本実施の形態における表示パネルは、上述した本発明のトランジスタ回路を夫々含むと共にマトリクス状に配置された複数の画素部を備えており、該複数の画素部には、電流制御型発光素子の一例としてEL素子50が夫々設けられて構成されている。

第7図に示すように、表示パネル200は、TFTアレイ基板1を有し、該TFTアレイ基板1上において複数の画素部2がマトリクス状に配置された画面表示領域には、Y方向に夫々伸びておりX方向に配列された複数のデータ線11と、X方向に夫々伸びておりY方向に配列された複数の走査線12と、複数のデータ線11と平行に並べられた複数の共通給電線13とを備えている。表示パネル1は更に、画面表示領域の周囲に、各データ線11にデータ信号を供給するデータ線駆動回路21と、各走査線12に走査信号を供給する一対の走査線駆動回路22と、各画素部2における道通不良、絶縁不良、素子の欠陥等を検査するための検査回路23とを備えて構成されている。なお、本実施の形態では、各駆動回路は、TFTアレイ基板1上に画素部2と共通の工程で形成されているが、TFTアレイ基板1上にない回路とされてもよいし、又は画素部2と別の工程で形成されてもよい。

第8図に示すように、各画素部2には、第1図から第6図を用いて説明した駆動用TFT110、補償用TFT120、リセット用TFT130、スイッチング用TFT140及び保持容量160が設けられている。そして、前段の走査線12bが第1図におけるリセット走査信号V_{rscan}用の配線となり、当段の走査線12aが図1における走査信号V_{scan}用の配線及びリセット信号V_{rsig}用の配線となり、当段のデータ線11aが第1図における入力信号V_{sig}(データ信号)用の配線となっている。更に、共通給電線13が正電源+Vに接続されており、EL素子50が駆動用TFT110と後述の対向電極との間に接続されており、該対向電極が負電源-Vに接続されている。

第9図(A)に示すように、スイッチング用TF T 1 4 0、補償用TF T 1 2 0及び保持容量1 6 0は、第8図のA-A'断面に沿って、TF Tアレイ基板上1に半導体膜(ポリシリコン膜)4、酸化シリコン膜や窒化シリコン膜からなるゲート絶縁膜5、Ta(タンタル)膜6、酸化シリコン膜や窒化シリコン膜からなる第1層間絶縁膜7及びAl膜8から構成されている。尚、ゲート電極形成用のTa膜6の代わりに、低抵抗ポリシリコン膜を成膜してもよい。

より具体的には、スイッチング用TF T 1 4 0は、ポリシリコン膜6からなるゲート1 4 1を持つトップゲート型のTF Tであり、ゲート絶縁膜5を介してゲート1 4 1に対向する半導体層4部分をチャネル形成用領域として、その両側にn型に高濃度ドーブされたソース1 4 2及びドレイン1 4 3を備えたNチャネル型のTF Tとして構成されている。そして、ソース1 4 2は、ゲート絶縁膜5及び第1層間絶縁膜7に開孔されたコンタクトホールを介してAl膜8からなるデータ線1 1 aに接続されている。また、ドレイン1 4 3は、ゲート絶縁膜5及び第1層間絶縁膜7に開孔されたコンタクトホール及びAl膜8を中継して、補償用TF T 1 2 0に接続されている。

補償用TF T 1 2 0は、Ta膜6からなるゲート1 2 1を持つトップゲート型のTF Tであり、ゲート絶縁膜5を介してゲート1 2 1に対向する半導体膜4部分をチャネル形成用領域として、その両側にp型に高濃度ドーブされたソース1 2 2及びドレイン1 2 3を備えたPチャネル型のTF Tとして構成されている。そして、ゲート絶縁膜5及び第1層間絶縁膜7に開孔されたコンタクトホール及びAl膜8を中継してスイッチング用TF T 1 4 0及び保持容量1 6 0並びに駆動用TF T 1 1 0のゲート1 1 1に接続されている。

また、保持容量1 6 0は、2重のコンデンサ構成を有するように、半導体膜4、Ta膜6及びAl膜8が、ゲート絶縁膜5及び第1層間絶縁膜7を介して対向配置されて構成されている。そして保持容量を構成する半導体膜4部分は、ゲート絶縁膜5及び第1層間絶縁膜7に開孔されたコンタクトホールを介してAl膜8に接続されており、保持容量を構成するTa膜6部分は、第1層間絶縁膜7に開孔されたコンタクトホールを介してAl膜8に接続されている。

第9図(B)に示すように、リセット用TF T 1 3 0は、第8図のB-B'断

面に沿って、TFTアレイ基板上1に半導体膜4、ゲート絶縁膜5、Ta膜6、第1層間絶縁膜7及びAl膜8から構成されている。

より具体的には、リセット用TFT130は、Ta膜6からなるゲート131を持つトップゲート型のTFTであり、ゲート絶縁膜5を介してゲート131に対向する半導体層4部分をチャネル形成用領域として、その両側にn型に高濃度ドーパされたソース132及びドレイン133を備えたNチャネル型のTFTとして構成されている。そしてソース132及びドレイン133は、ゲート絶縁膜5及び第1層間絶縁膜7に開孔されたコンタクトホール及びAl膜8を中継して、Ta膜6からなる当段の走査線12a及び駆動用TFT110のゲート111に夫々接続されている。

また、第9図(C)に示すように、駆動用TFT110は、第8図のC-C'断面に沿って、TFTアレイ基板上1に半導体膜4、ゲート絶縁膜5、Ta膜6、第1層間絶縁膜7及びAl膜8から構成されている。そして、第2層間絶縁膜9上には、駆動用TFT110のドレイン113にコンタクトホール及びAl膜8を中継して接続されたITO膜51が形成され、その上にEL素子50が形成されている。他方、駆動用TFT110のソース112は、コンタクトホールを介してAl膜8からなる共通給電線13に接続されている。また、相隣接する画素部2におけるEL素子50は、電気絶縁性のバンク52により相隔てられている。好ましくは、バンク52は遮光性を持つものがよい。バンク52は、例えば、遮光性のレジストからなり、当該表示パネル200の画面表示領域の周囲を覆う周辺見切り領域にもバンク52を設けるようにしてもよい。そして、EL素子50上には、Al等の低抵抗金属或いはITO等からなる対向電極(上電極)56が設けられている。

第10図に示すように、表示パネル200においては特に、共通給電線13によりX方向に相隣接した画素部2の双方に対して正電源+Vが供給される構成を採り、正電源+V供給用の電源配線を単純に画素部2の列毎に設ける場合と比較して、電源配線の数約1/2にしている。また、リセット用TFT130のゲート131に入力されるリセット走査信号V_{rscan}を前段の走査線12bにより供給し、リセット用TFT130に入力されるリセット信号V_{rsig}を当段の走査

線 1 2 b により供給する構成を採ることにより、リセット走査信号 V_{rscan} 専用の配線やリセット信号 V_{rsig} 専用の配線を設ける場合と比較して信号配線の数減らしている。このように電源配線数や信号配線数を増やさないようにすることにより、従来の表示パネルには設けられていない補償用 T F T 1 2 0 やリセット用 T F T 1 3 0 を設けるスペースを確保することができる。勿論、本実施の形態と違って、各画素毎に共通給電線を設けて、各画素毎にパターンを同じにしたものや、リセット走査信号 V_{rscan} 専用の配線や、リセット信号 V_{rsig} 専用の配線を設けたものに対しても、本発明の技術思想は適用できる。

尚、本実施の形態のように電流駆動型発光素子である E L 素子 5 0 を用いた表示パネル 2 0 0 の場合には、例えば、液晶パネルのように画素の開口領域を増やさなくても、発光素子に供給する電流量を増加させればこれに応じて自発光するが故に、画像表示に必要な明るさを得ることができる。従って、本実施の形態のように、配線の占める領域を節約して各種の T F T を画素部 2 に形成するスペースを確保してもよいし、各 E L 素子 5 0 の大きさを小さくすることにより各種の T F T を画素部 2 に形成するスペースを確保してもよい。

次に、本実施の形態の表示パネル 2 0 0 の動作について第 7 図及び第 1 0 図を参照して説明する。

走査線駆動回路 2 2 から前段の走査線 1 2 b に走査信号 V_{scan} が供給されると、これが当段のリセット走査信号 V_{rscan} として、当段のリセット用 T F T 1 3 0 のゲート 1 3 1 に入力される。これと並行して、走査線駆動回路 2 2 から当段の走査線 1 2 a にリセット信号 V_{rsig} が供給されて、当段の駆動用 T F T 1 1 0 のゲート電圧 V_g は、リセット信号 V_{rsig} の電位とされる（第 2 図（A）参照）。このとき、リセット信号 V_{rsig} は、走査信号 V_{scan} のオフ電位と同一でもかまわない。続いて、走査線駆動回路 2 2 から当段の走査線 1 2 a に走査信号 V_{scan} が供給されると、これが当段のスイッチング用 T F T 1 4 0 のゲート 1 4 1 に入力される。これと並行して、データ線駆動回路 2 1 から当段のデータ線 1 1 a に入力信号 V_{sig} （データ信号）が供給されて、スイッチング用 T F T 1 4 0 及び補償用 T F T 1 2 0 を介して、この電圧 V_{sig} が補償用 T F T 1 2 0 のしきい値電圧 V_{th2} 分だけ降圧されて、当段の駆動用 T F T 1 1 0 のゲート 1 1 1 に、ゲート

電圧 V_g として供給される(第2図(A)参照)。この結果、この降圧されたゲート電圧 V_g に応じて、駆動用TFT110のソース112及びドレイン113間のコンダクタンスが制御されて、正電源 $+V$ 及び負電源 $-V$ の間で、EL素子50を流れる駆動電流 I_d が制御される。

従って、各画素部2に設けられた駆動用TFT110におけるしきい値電圧 V_{th1} のばらつきが補償用TFT120のしきい値 V_{th2} により補償されて、複数の画素部2間における駆動電流 I_d に対するデータ信号 V_{sig} のしきい値のばらつきが殆どなくなり、表示パネル200の画面表示領域全体にわたって均一の明るさでむらのない画像表示が可能とされる。また、補償用TFT120による降圧作用により比較的小さい電圧のデータ信号 V_{sig} を用いて駆動電流 I_d を制御することも可能とされる。

以上の実施の形態では、リセット用TFT130によりゲート電圧 V_g を入力信号 V_{sig} の供給前にリセットしているが、例えば、静止画を表示する期間には、同じ入力信号 V_{sig} により複数フレームに亘って駆動電流 I_d の制御を行えばよいので、係るリセット動作を各走査毎に行う必要はない。また、このように電氣的なリセット信号 V_{rsig} の代わりに光照射によりゲート電圧 V_g をリセットする(所定のリセット電圧にする)ように構成してもよい。更にまた、リセット用TFT130の代わりにスイッチング用TFT140や補償用TFT120を介してリセット信号 V_{rsig} を供給するように構成してもよい。他方、アクティブマトリクス駆動の如くスイッチングを行わない用途であれば、スイッチング用TFT140やスイッチング動作が不要なことは言うまでもない。

(電子機器)

次に、以上詳細に説明した表示パネル200を備えた電子機器の実施の形態について第11図から第13図を参照して説明する。

先ず第11図に、このように表示パネル200を備えた電子機器の概略構成を示す。

第11図において、電子機器は、表示情報出力源1000、表示情報処理回路1002、駆動回路1004、表示パネル1006、クロック発生回路1008並びに電源回路1010を備えて構成されている。

前述した実施の形態における表示パネル200は、本実施の形態における表示パネル1006及び駆動回路1004に相当する。従って、表示パネル1006を構成するTFTアレイ基板の上に、駆動回路1004を搭載してもよく、更に表示情報処理回路1002等を搭載してもよい。或いは、表示パネル1006を搭載するTFTアレイ基板に対し駆動回路1004を外付けして構成してもよい。

表示情報出力源1000は、ROM (Read Only Memory)、RAM (Random Access Memory)、光ディスク装置などのメモリ、テレビ信号を同調して出力する同調回路等を含み、クロック発生回路1008からのクロック信号に基づいて、所定フォーマットの画像信号などの表示情報を表示情報処理回路1002に出力する。表示情報処理回路1002は、増幅・極性反転回路、相展開回路、ローテーション回路、ガンマ補正回路、クランプ回路等の周知の各種処理回路を含んで構成されており、クロック信号に基づいて入力された表示情報からデジタル信号を順次生成し、クロック信号CLKと共に駆動回路1004に出力する。駆動回路1004は、表示パネル200を駆動する。電源回路1010は、上述の各回路に所定電源を供給する。

次に第12図から第13図に、このように構成された電子機器の具体例を夫々示す。

第12図において、電子機器の他の例たるマルチメディア対応のラップトップ型のパーソナルコンピュータ(PC)1200は、上述した表示パネル200がトップカバーケース1206内に備えられており、更にCPU、メモリ、モデム等を収容すると共にキーボード1202が組み込まれた本体1204を備えている。

また第13図に示すように、駆動回路1004や表示情報処理回路1002を搭載しない表示パネル1304の場合には、駆動回路1004や表示情報処理回路1002を含むIC1324がポリイミドテープ1322上に実装されたTCP (Tape Carrier Package) 1320に、TFTアレイ基板1の周辺部に設けられた異方性導電フィルムを介して物理的且つ電氣的に接続して、表示パネルとして、生産、販売、使用等することも可能である。

以上説明したように、本実施の形態によれば、表示パネルの全面に渡って明る

さのむらが少なく且つ比較的低電圧で駆動することも可能な各種の電子機器を実現できる。

本発明のトランジスタ回路によれば、補償用トランジスタのしきい値電圧の分だけ入力信号の電圧に対してゲート電圧を降圧もしくは昇圧できるので、低い入力信号の電圧により駆動用トランジスタにおけるコンダクタンス制御を行うことができる。更に、補償用トランジスタと駆動用トランジスタとのしきい値特性や電圧電流特性を近付けることにより、駆動電流に対する入力信号のしきい値電圧を零に近付けることも可能となる。更にまた、複数のしきい値特性の相異なる駆動用トランジスタを用いて当該トランジスタ回路を複数作成した場合に、複数のしきい値電圧の異なる複数の駆動用トランジスタ、即ち設計基準値から大きくばらついたしきい値電圧を夫々持つ複数の駆動用トランジスタを用いたとしても、複数のトランジスタ回路におけるしきい値電圧のばらつきが殆ど又は全くない複数のトランジスタ回路を得ることも可能となる。

本発明の表示パネルによれば、明るさむらが低減された画像表示を低電圧の入力信号を用いて実現できる。

産業上の利用可能性

本発明のトランジスタ回路を用いて明るさむらが低減された画像表示がなされる表示パネルが得られる。かかる表示パネルは、高品位の画像表示が要求されるラップトップ型のパーソナルコンピュータ（PC）、テレビ、ビューファインダー型又はモニタ直視型のビデオテープレコーダ、カーナビゲーション装置、電子手帳、電卓、ワードプロセッサ、エンジニアリング・ワークステーション（EWS）、携帯電話、テレビ電話、POS端末、ページャ、タッチパネルを備えた装置等の電子機器に好適に利用可能である。

請 求 の 範 囲

(1) 第1ゲート、第1ソース及び第1ドレインを有し、該第1ゲートに供給される入力信号の電圧に応じて該第1ソース及び第1ドレイン間のコンダクタンスが制御される駆動用トランジスタと、第2ゲート、第2ソース及び第2ドレインを有し、該第2ゲートが該第2ソース及び第2ドレインの一方に接続されており、該第2ソース及び第2ドレインを介して前記入力信号が前記第1ゲートに供給されるように且つ前記第1ゲートに対し前記コンダクタンスを低める方向の電荷移動を可能とする向きで前記第1ゲートに接続された補償用トランジスタとを備えたことを特徴とするトランジスタ回路。

(2) 前記第1ゲートに対し前記入力信号に応じて制御される前記コンダクタンスの最高値よりも高いコンダクタンスの値に対応する電圧を有するリセット信号を前記入力信号の供給前に供給するリセット手段を備えたことを特徴とする請求の範囲第1項に記載のトランジスタ回路。

(3) 前記リセット信号は、前記入力信号の最大電圧よりも前記補償用トランジスタのしきい値電圧分以上大きい電圧に設定されていることを特徴とする請求の範囲第2項に記載のトランジスタ回路。

(4) 前記リセット手段は、第3ゲート、第3ソース及び第3ドレインを有し、該第3ソース及び第3ドレインの一方が前記第1ゲートに接続されており、該第3ゲートにリセットタイミング信号が前記入力信号の供給前に供給された時に、該第3ソース及び第3ドレインを介して前記リセット信号を前記第1ゲートに供給するリセット用トランジスタを備えたことを特徴とする請求の範囲第2項又は第3項に記載のトランジスタ回路。

(5) 前記駆動用トランジスタと前記補償用トランジスタとは、同一導電型のトランジスタであることを特徴とする請求の範囲第1項乃至第4項のいずれかに記載のトランジスタ回路。

(6) 第4ゲート、第4ソース及び第4ドレインを有し、該第4ゲートにスイッチングタイミング信号が供給された時に前記入力信号を該第4ソース及び第4ドレインを介して前記補償用トランジスタに供給するように接続されたスイッチン

グ用トランジスタを更に備えたことを特徴とする請求の範囲第1項乃至第5項のいずれかに記載のトランジスタ回路。

(7) 前記第1ゲートに接続された保持容量を更に備えたことを特徴とする請求の範囲第1項乃至第6項のいずれかに記載のトランジスタ回路。

(8) 同一基板上に形成された薄膜トランジスタから構成されていることを特徴とする請求の範囲第1項乃至第7項のいずれかに記載のトランジスタ回路。

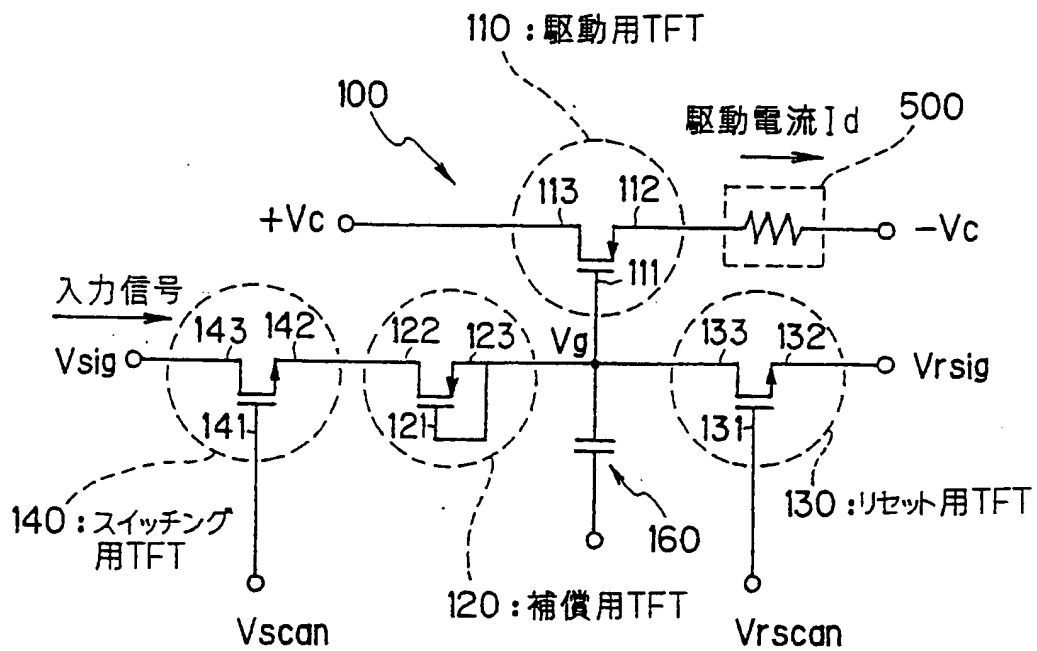
(9) 前記トランジスタは夫々、前記ゲート、ソース及びドレインが、ベース、エミッタ及びコレクタに夫々対応するバイポーラトランジスタから構成されていることを特徴とする請求の範囲第1項乃至第7項のいずれかに記載のトランジスタ回路。

(10) 前記入力信号は、入力信号源により電圧が制御される電圧信号であり、前記駆動用トランジスタは、前記第1ソース及び第1ドレインの一方が電流制御型素子に接続されており、前記コンダクタンスを制御することにより該電流制御型素子に流れる電流を制御することを特徴とする請求の範囲第1項乃至第9項のいずれかに記載のトランジスタ回路。

(11) 請求の範囲第10項に記載のトランジスタ回路を夫々含むと共にマトリクス状に配置された複数の画素部を備え、電流制御型発光素子が該複数の画素部に夫々設けられたことを特徴とする表示パネル。

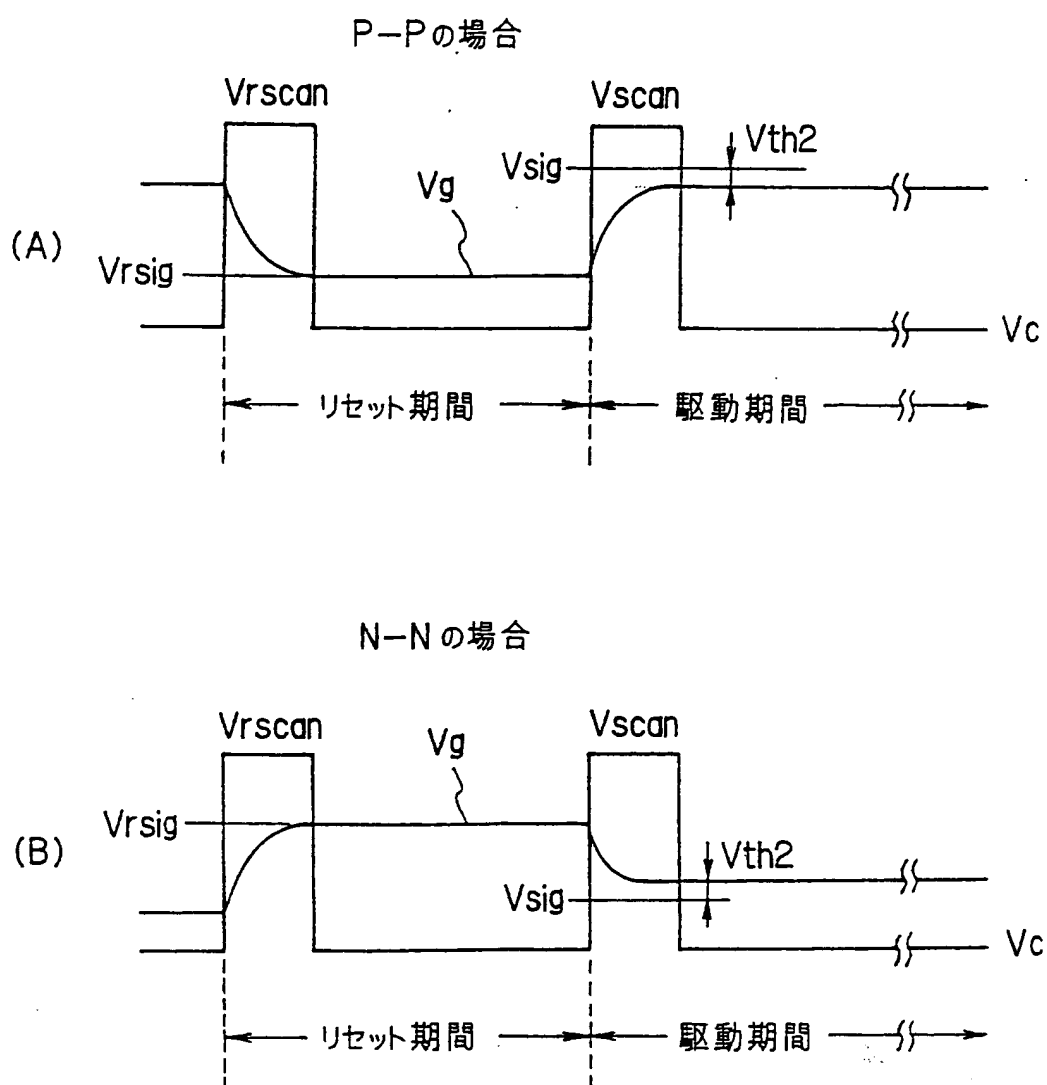
(12) 請求の範囲第11項に記載の表示パネルを備えたことを特徴とする電子機器。

1/12



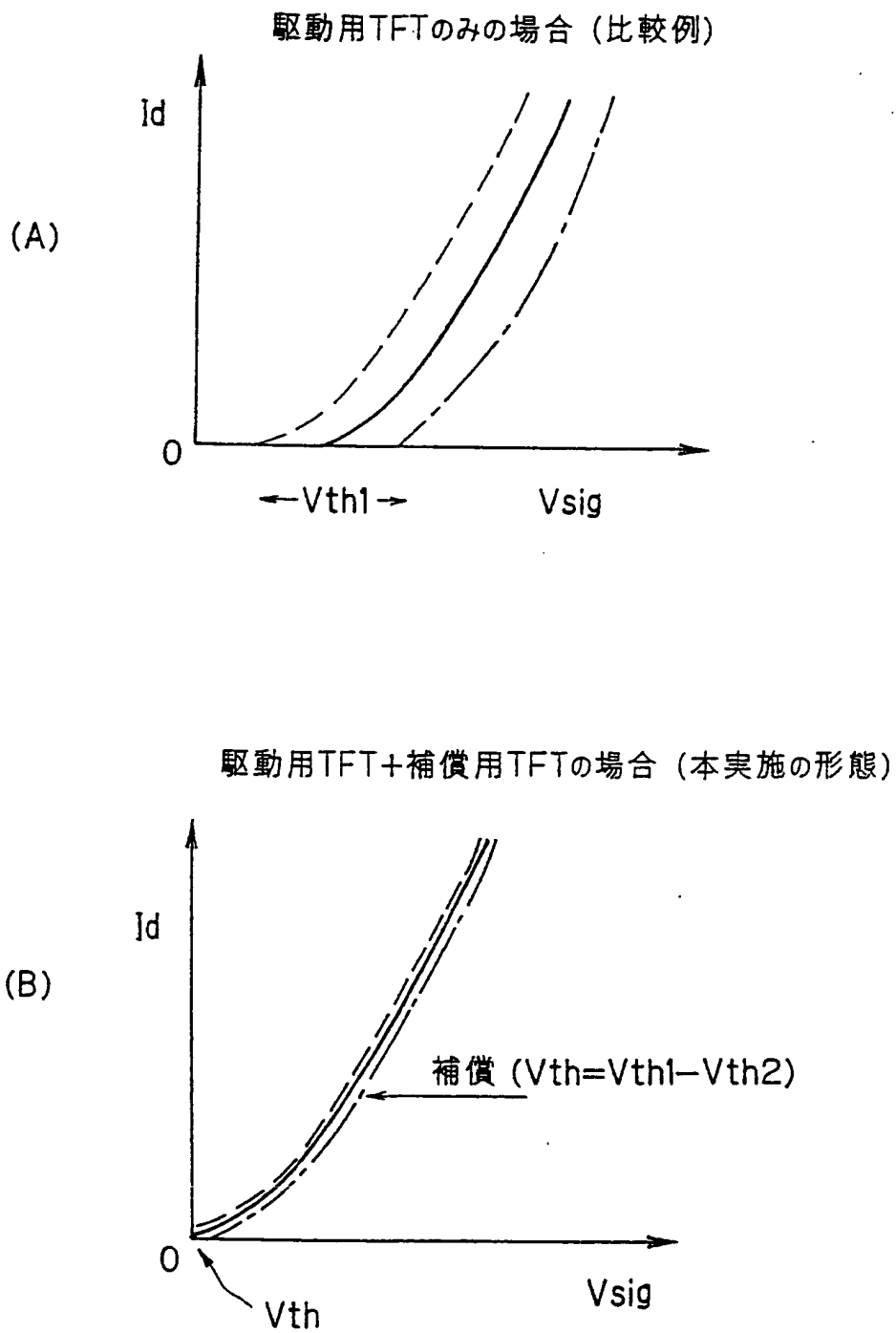
第 1 図

2/12



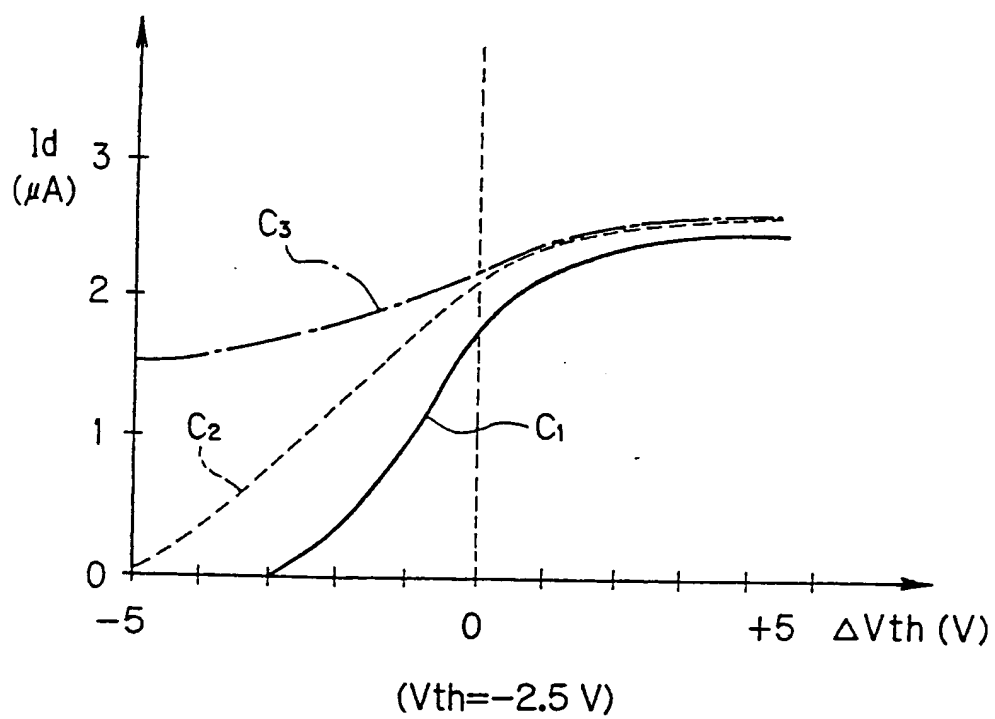
第 2 図

3/12



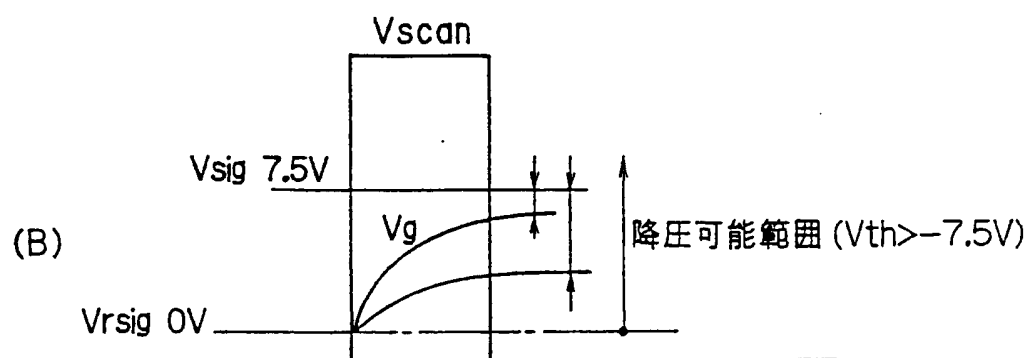
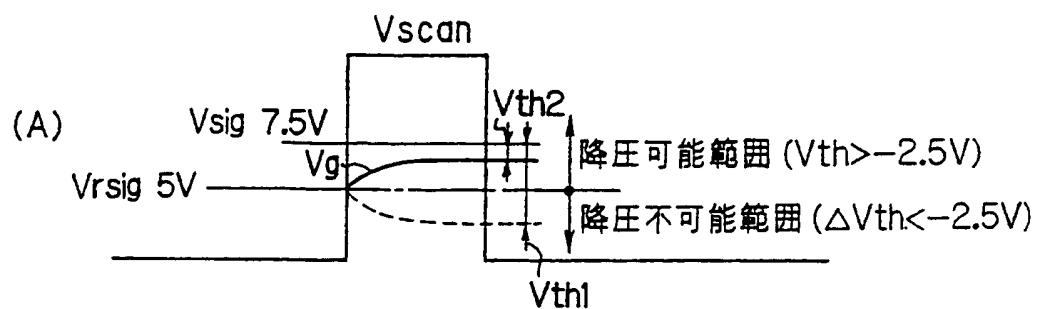
第 3 図

4/12



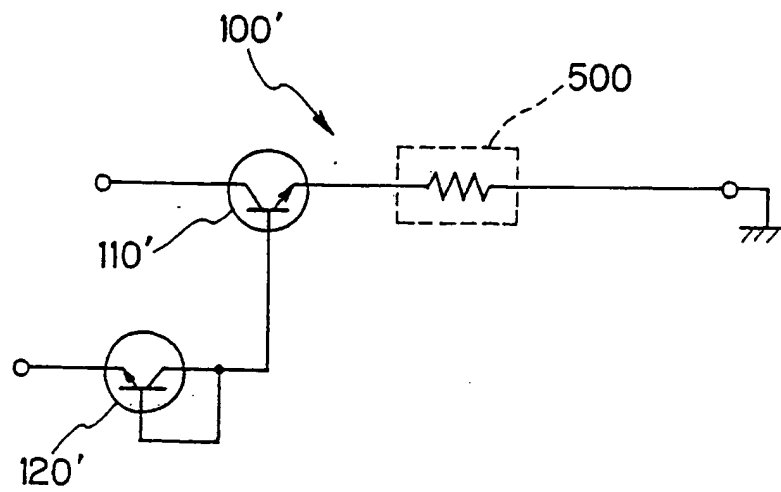
第 4 図

5/12

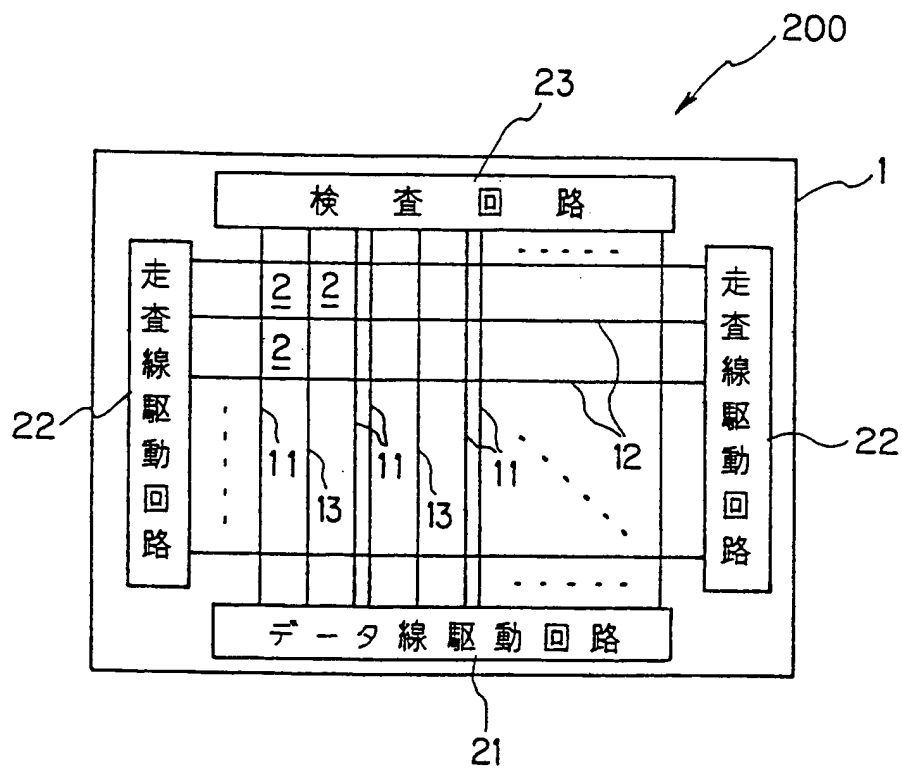


第 5 図

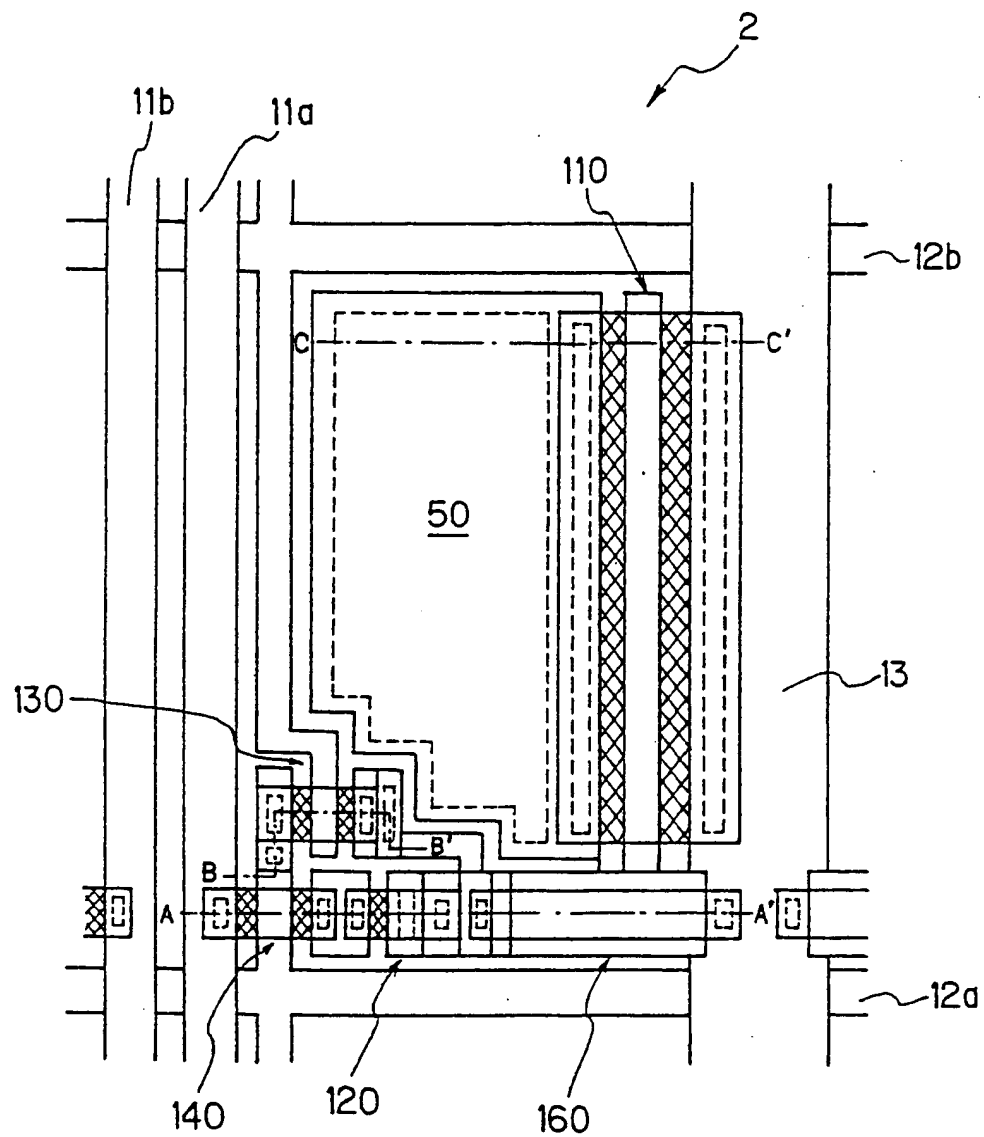
6/12



第 6 図

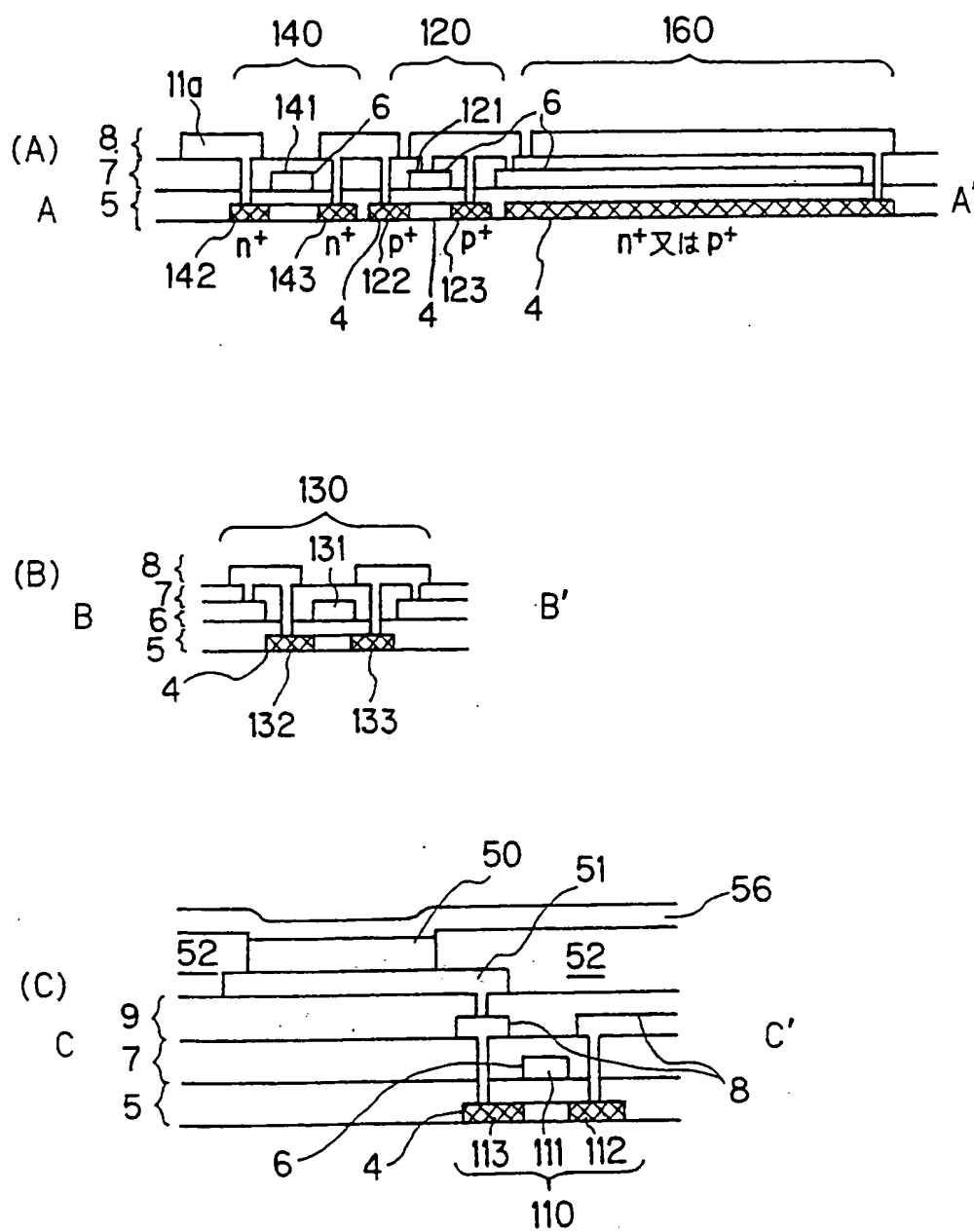


第 7 図



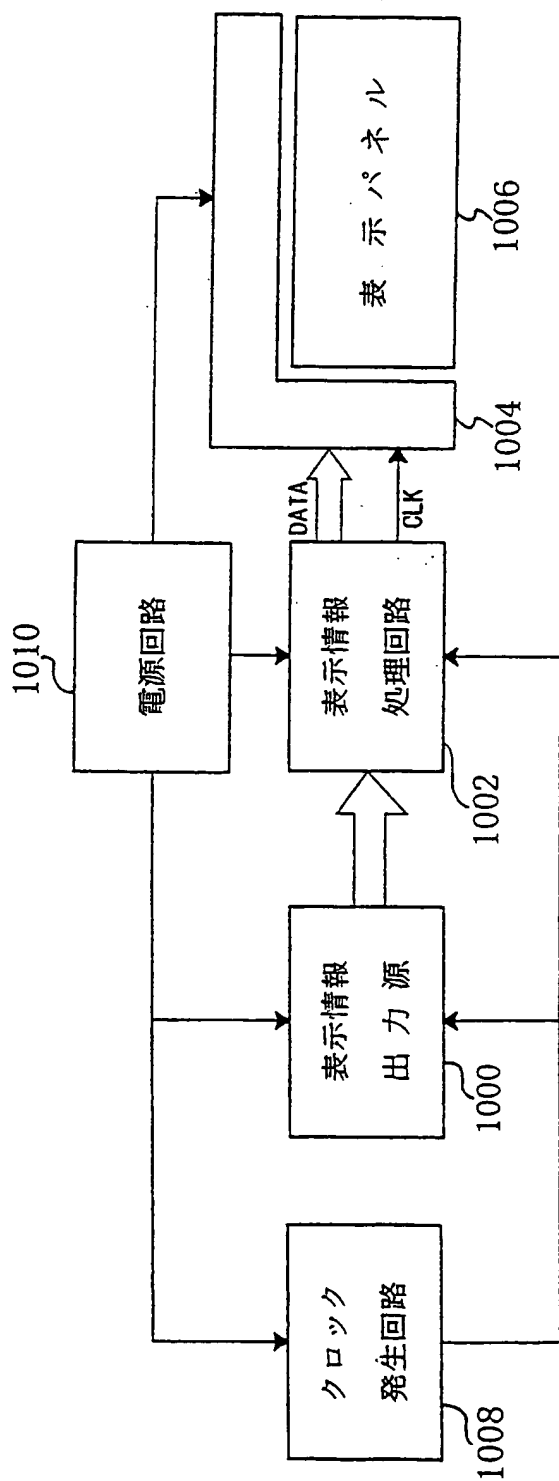
第 8 図

8/12

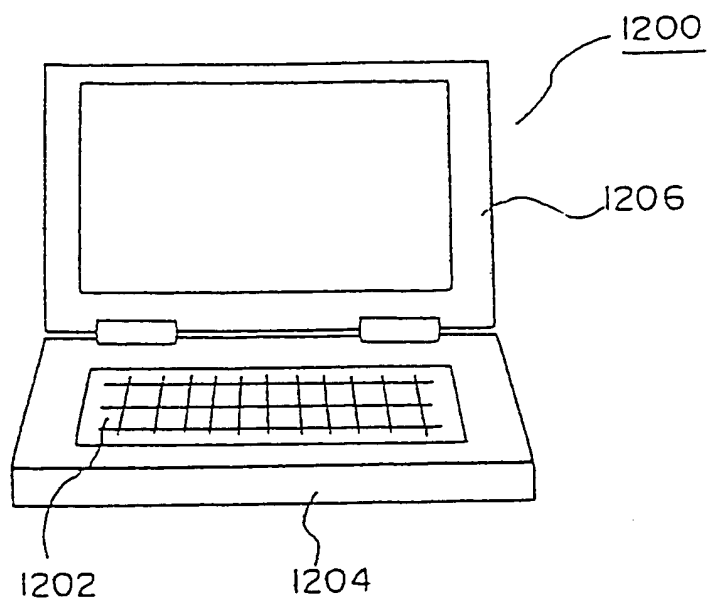


第 9 図

10/12

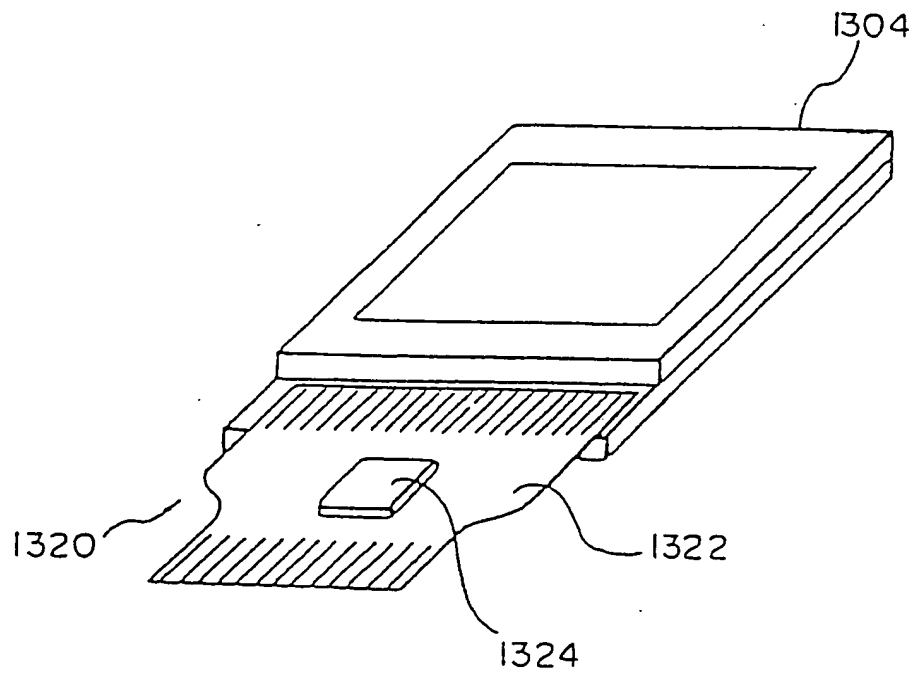


第 1 1 図



第 12 図

12/12



第 13 図

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/01342

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁶ G09G3/30, 3/36, H03K17/30

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁶ G09G3/30, 3/36, H03K17/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-1999
Kokai Jitsuyo Shinan Koho	1971-1999	Jitsuyo Shinan Toroku Koho	1996-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 61-201315, A (Hitachi, Ltd.), 6 September, 1986 (06. 09. 86), Full text ; Fig. 1	1, 5, 8, 10
Y	Full text ; Fig. 1	11, 12
A	Full text ; Fig. 1 & US, 4642552, A	2-4, 6-7, 9
A	JP, 64-39757, A (NEC Corp.), 10 February, 1989 (10. 02. 89), Full text ; Figs. 1 to 4 (Family: none)	1-12
A	JP, 2-32615, A (Toshiba Corp.), 2 February, 1990 (02. 02. 90), Full text ; Fig. 1 & EP, 351874, A	1-12
A	JP, 5-343924, A (Sanyo Electric Co., Ltd.), 24 December, 1993 (24. 12. 93), Full text ; Figs. 1 to 3 (Family: none)	1-12

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
14 May, 1999 (14. 05. 99)

Date of mailing of the international search report
22 June, 1999 (22. 06. 99)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/01342

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 5-94150, A (Fuji Xerox Co., Ltd.), 16 April, 1993 (16. 04. 93), Full text ; Figs. 1 to 8 (Family: none)	11-12
A	JP, 9-222930, A (NEC Corp.), 26 August, 1997 (26. 08. 97), Full text ; Figs. 1 to 22 (Family: none)	1-12

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

国際調査報告

国際出願番号 PCT/JP99/01342

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.[°] G09G3/30, 3/36 H03K17/30

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.[°] G09G3/30, 3/36 H03K17/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-1999年
 日本国登録実用新案公報 1994-1999年
 日本国実用新案登録公報 1996-1999年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 61-201315, A (株式会社日立製作所) 6. 9月. 1986 (06. 09. 86) 全文, 第1図	1, 5, 8, 10
Y	全文, 第1図	11, 12
A	全文, 第1図 & US, 4642552, A	2-4, 6- 7, 9
A	JP, 64-39757, A (日本電気株式会社) 10. 2月. 1989 (10. 02. 89) 全文, 第1-4図 (ファミリーなし)	1-12

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

14. 05. 99

国際調査報告の発送日

22.06.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

西島 篤宏

2G

9308

電話番号 03-3581-1101 内線 3225

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 2-32615, A (株式会社東芝) 2. 2月. 1990 (02. 02. 90) 全文, 第1図 & EP, 351874, A	1-12
A	J P, 5-343924, A (三洋電機株式会社) 24. 12月. 1993 (24. 12. 93) 全文, 第1図-3図 (ファミリーなし)	1-12
Y	J P, 5-94150, A (富士ゼロックス株式会社) 16. 4月. 1993 (16. 04. 93) 全文, 第1-8図 (ファミリーなし)	11-12
A	J P, 9-222930, A (日本電気株式会社) 26. 8月. 1997 (26. 08. 97) 全文, 第1-22図 (ファミリーなし)	1-12

This Page Blank (uspto)